

基于 IC 的数字化低电平射频前端设计与测试

付泽川^{1,2} 赵玉彬¹ 赵振堂¹

1(中国科学院上海应用物理研究所 上海 201800)

2(中国科学院研究生院 北京 100049)

摘要 介绍了基于 IC 的上海光源储存环新一代集成数字化低电平控制器的射频前端接收器设计、制造和性能测试。用 L-C 滤波电路在保证性能的基础上显著减小了系统的体积; 用有源混频器使本振需求仅为 -10 dBm, 减小了系统对本振信号放大器的需求。前端接收器通道的线性度范围达到 30 dB; 采用可变放大器有利于通道内的电平匹配; RMS 幅度误差在 $\pm 0.15\%$ 以内, RMS 相位误差在 $\pm 0.2^\circ$ 以内; 各个通道间的耦合干扰小于 -70 dB。

关键词 数字化低电平, 射频前端, 射频接收器, 线性度, IC

中图分类号 TL503.2

上海光源储存环的高频系统采用数字化低电平控制系统^[1,2], 与模拟方式相比, 其控制精度和性能有很大提高。但该系统系多种商业开发板集成而成, 这对其性能提升带来不利影响, 故障排查和修复也颇不方便。同时, 其硬件稳定性不如专有集成电路好^[3]; 商业开发板中许多固化的功能在控制系统中并不需要, 占用了器件的有效引脚, 降低了器件的利用率; 且由于采用大量独立射频器件, 如混频器、功分器及为满足不同器件功率需求采用的放大器、衰减器等, 导致现有控制器体积庞大、结构复杂。亟须发展新一代集成数字化低电平控制器, 将所有器件都集成在一个印刷电路板(PCB)中, 以有效解决上述问题。

数字化低电平控制系统主要包括射频前端(Radio-frequency front-end)、本振生成(Local oscillator, LO)、时钟分配、数字信号处理(DSP)及射频输出。本文设计了一个适用集成化数字低电平处理器的射频前端, 并设计制造了集成板卡进行性能测试。

1 射频前端方案设计

射频前端主要功能是将射频信号频率降至中频(Intermediate frequency, IF), 再滤波放大, 将放大后的中频信号通过模拟数字转换器(ADC)转换为数字量, 然后送入 FPGA(Field Programmable Gate Array)数字处理器进行数字信号处理。

上海光源的现有数字化低电平处理器射频前端采用无源混频器将射频降至中频, 其线性度与本振

驱动电平直接相关, 需外部 RF 放大级放大本振信号, 使整个设计对本振辐射和干扰非常敏感。同时无源混频器是一个全分立方案, 成本高、印刷电路板(PCB)尺寸大, 分立元件间的偏差会导致性能的差异, 而有源混频器可弥补这些缺点。本设计采用 AD8343, 适用频率最高达 2.5 GHz, 本振幅度的典型需求为 -10 dBm, 转换增益 7 dB, 可明显减小本振的需求, 输出增益有很大提高, 各端口隔离度也有改善。

设计采用的方案如图 1。AD8375 是 Analog Device 公司生产的高性能中频可变增益放大器(VGA), 带宽 630 MHz (-3 dB)、可以 1 dB 步进在 -4 ~ +20 dB 范围内调节; AD6645 是该公司生产的高速 14 位模数转换器件 ADC, 采样速率 80 MSPS, 采样晃动小于 200 fs。

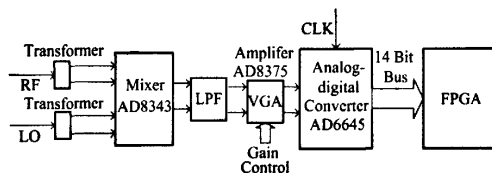


图1 射频前端原理图
Fig.1 RF front-end block diagram.

2 硬件设计

2.1 阻抗匹配

处理的信号频率最高达 ~500 MHz, 低频情况下阻抗匹配问题就要重视, 在 PCB 上通过控制走线的线宽和板厚来控制走线的阻抗, 而在器件接收端

第一作者: 付泽川, 男, 1983 年出生, 2010 年于中国科学院上海应用物理研究所获博士学位

收稿日期: 2010-03-08, 修回日期: 2010-03-23

要根据器件的需求搭配不同的电路。根据差分阻抗经验公式：

$$Z_{diff}=2Z_0[1-0.84e^{(-0.96s/h)}] \tag{1}$$

其中单线阻抗：

$$Z_0=[87/(\epsilon_r+1.41)]\ln[5.98h/(0.8w+t)] \tag{2}$$

式中， Z_{diff} 、 Z_0 单位为 Ω ， ϵ_r 是介质相对介电常数， w 是导线宽度， t 是导线厚度， h 是介质厚度， s 是两个微带线间的距离^[4]。

AD8343 的 RF 端和 LO 端输入阻抗均为 $50\ \Omega$ ，因此需用 $50\ \Omega$ 的差分传输线，在 $w=0.154\ \text{mm}$ 、 $t=18\ \mu\text{m}$ 、 $h=0.229\ \text{mm}$ 、 $s=0.254\ \text{mm}$ 和 $\epsilon_r=4.2$ 时，

实现差分阻抗。AD8375 输入阻抗为 $150\ \Omega$ ，需在差分输入时端接 $37.5\ \Omega$ 电阻接地匹配前部 $50\ \Omega$ 的输出特征阻抗。

2.3 低通滤波

AD8343 和 VGA 输出输入都是差分结构，连接它们的滤波器也要用差分结构，结构如图 2(a)，其理论计算的滤波性能如图 2(b)，实际测量滤波效果如图 2(c)。这样从混频器输出后的频率(38.4、499.654、461.25 和 960.9 MHz 等)通过该低通滤波器后，只保留需要的中频频率 38.4 MHz，其它的被滤掉。

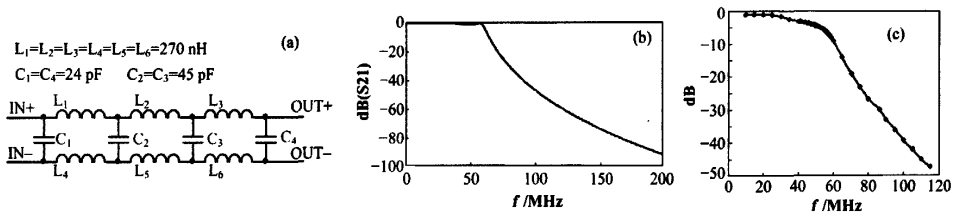


图 2 低通滤波器结构(a)、模拟性能(b)和实测性能(c)
Fig.2 Low-pass filter structure (a), simulation performance (b) and test performance (c).

2.2 可变增益放大器

由于实际操作过程中阻抗不可能完全匹配，信号不可避免会衰减，且滤波器带来的插入损耗也要大于模拟结果，则须用可变增益放大器来弥补信号损耗，同时放大信号使 AD6645 模数变换器能达到最佳的采样性能。

3 制板及测试

采用图 1 设计制作的双通道的射频前端模块样板见图 3。在射频前端接收主要关心的性能有接收器的线性度、单通道幅度和相位误差及两个通道间的串扰。

3.1 混频器性能测试

系统线性度主要由混频器决定。将可变放大器增益设为 $-4\ \text{dB}$ ，调整射频信号输入从 $-30\ \text{dBm}$ 至 $+7\ \text{dBm}$ ，测量送入 AD6645 前的信号幅度，测得系统线性度范围为 $30\ \text{dB}$ ，如图 4(a)。放大器的线性度经测量在增益 $-4\sim 20\ \text{dB}$ 范围内非常好，最大误差不超过 $0.2\ \text{dB}$ 。在放大器增益固定的情况下，系统可实现线性度范围为 $30\ \text{dB}$ 。隔离度是本振或射频信号泄漏到其他端口的功率与输入功率之比，是混频器电路平衡度的一个量度，当电路平衡时，各端口间的隔离度很好，信号的相互泄漏很小。分别在 Local 输入端和 RF 输入端接 $50\ \Omega$ 阻抗终端，测得 Local 信号与输出 IF 信号隔离度为 $-40\ \text{dB}$ ，输入 RF 信号与输出 IF 信号隔离度为 $-60\ \text{dB}$ ，达到要求。中频信号经滤波器滤波后如图 4(b)，滤波器性能完全满足要求。

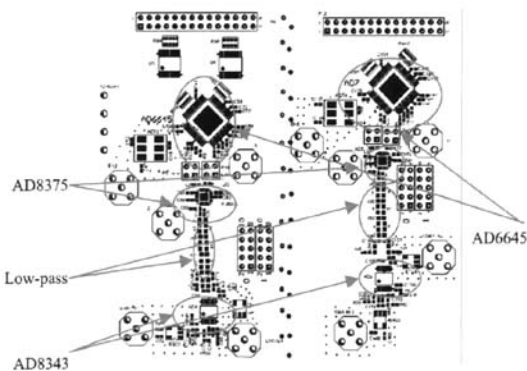


图 3 双通道样板
Fig.3 Two channels RF receiver board.

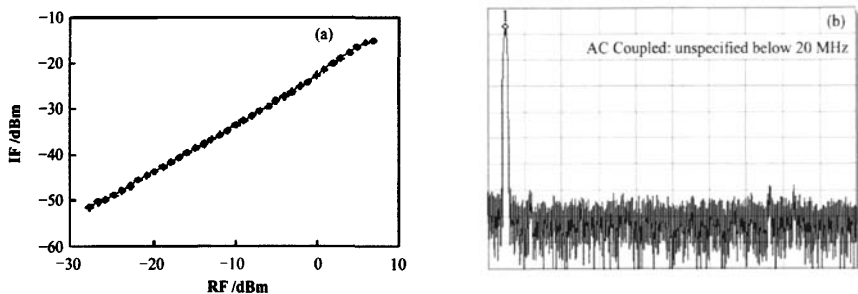


图 4 系统线性度(a)和经滤波的中频信号(b)
Fig.4 Linearity (a) and IF signal after low-pass filter (b).

3.2 幅度及相位误差测试

对变频信号滤波放大后，送入模数转换器，得到数字信号再送入 FPGA 中。通过 FPGA 与计算机

的接口，接收采样结果并对其进行 IQ 算法处理，得到整个接收器通道的幅度和相位误差，如图 5 所示，幅度误差在±0.15%以内，相位的误差在±0.2°以内。

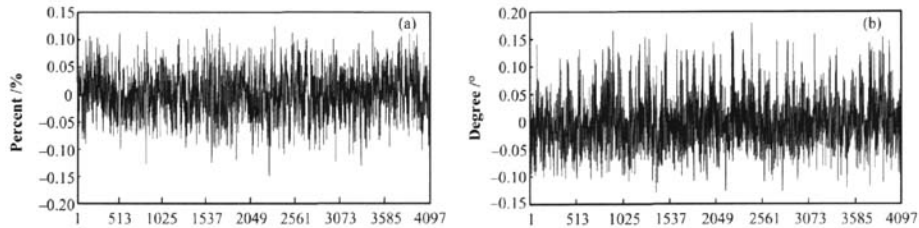


图 5 幅度误差(a)和相位误差(b)
Fig.5 Inaccuracy of amplitude (a) and phase (b).

3.3 噪声傅里叶分析

对采样结果进行傅里叶变换至频谱，如图 6 所示，噪声主要集中在 85 和 180 kHz 附近，其他均在 -70 dBm 以下，这些噪声可通过数字滤波滤除，因此该射频前端接收器的硬件设计满足要求。

体积明显减小，且使通道内的电平匹配更易实现。射频前端采样得到的 RMS 幅度和相位稳定性分别好于±0.15%和±0.2°，从单通道的信号频谱分析也表明，射频前端的精度达到了系统的设计要求，同时各通道间的干扰也在系统要求范围内。这对实现用此方案的集成数字化低电平控制器有积极意义。

3.4 通道间耦合测试

多通道模式下，通道间的相互耦合会影响整个反馈环路的稳定性。在一个通道有输入、另一个没输入、用 50 Ω 阻抗接头短接的情况下，用 AD6645 对两路信号采样，结果表明相邻的两个通道间的串扰小于-70 dB，因此相邻通道间的影响可忽略。

4 结论

该设计实现了预期的功能，用有源混频器的射频前端系统大大降低了对本振电平的需求，最低可至-10 dBm。L-C 滤波器和集成放大器件的使用使

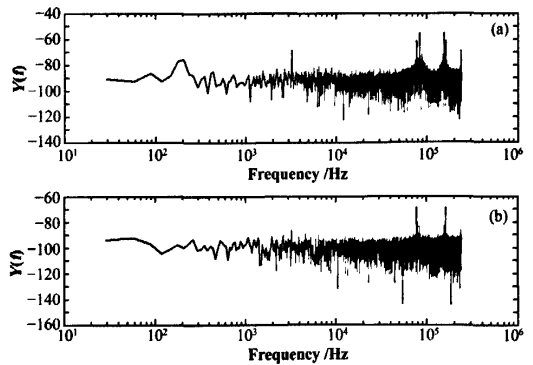


图 6 采样结果的傅里叶分析
Fig.6 Fourier analysis of sampling result.

参考文献

1

张同宣, 赵玉彬, 尹成科, 等. 强激光与粒子束, 2008, 20(6): 1048–1052

ZHANG Tongxuan, ZHAO Yubin, YIN Chengke, *et al.* High Part Laser Part Beam, 2008, 20(6): 1048–1052

2

赵玉彬, 尹成科, 张同宣, 等. 中国物理 C, 2008, 32(09): 758–760

ZHAO Yubin, YIN Chengke, ZHANG Tongxuan, *et al.* Chin Phys C, 2008, 32(09): 758–760

3

Doolittle L, LO C C, Monroy M, *et al.* The SNS front end LLRF system. Proceeding of LINAC2002, 2002. 373–375

4

黄乘顺, 李星亮. 科学技术与工程, 2007, 7(4): 608–611

HUANG Chengshun, LI Xingliang. Sci Technol Eng, 2007, 7(4): 608–611

The IC-based digital low level RF front-end design and implementation at SSRF

FU Zechuan^{1,2} ZHAO Yubin¹ ZHAO Zhentang¹

¹(Shanghai Institute of Applied Physics, Chinese Academy of Sciences, Shanghai 201800, China)

²(Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract A new RF front-end was designed and tested for Shanghai Synchrotron Radiation Facility. An L-C filter low-pass circuit was introduced in the design, which remarkably reduced the volume of the front-end, with granteed performance. The use of active mixer, the needed local signal can be as low as -10 dBm, and this significantly reduces the system requirement for local amplifier. Linearity of the system reaches 30 dB. Variable gain amplifier enables a power match in the system. The amplitude inaccuracy is less than $\pm 0.15\%$, and the phase inaccuracy is less than $\pm 0.2^\circ$. Crosstalk between adjacent channels is lower than -60 dB.

Key words Digital LLRF, RF front-end, RF receiver, Linearity, IC
CLC TL503.2