

基于 DSP 的数字化多道脉冲幅度分析器设计

敖 奇 魏义祥 文向阳
(清华大学工程物理系 北京 100084)

摘要 本文介绍了基于 DSP 的数字化多道系统软硬件设计和研制。硬件设计采用双 FIFO 结构, 获得了包含上升沿及基线信息的数字脉冲信号, 节约 DSP 带宽从而提高了系统的脉冲通过率。软件设计中, 完成了基于 DSP 的核信号的数字处理, 并通过 USB 接口(或串口)通讯实现了系统监控及能谱数据传输。本文还给出该系统在 eV 公司 SPEAR 型 CdZnTe 探测器上测得的 ^{137}Cs 能谱示例。

关键词 数字化多道谱仪, 能谱采集, 阈值甄别, DSP, 核信号处理

中图分类号 TL822+.4, TL817+.2

多道脉冲幅度分析器(以下简称多道)是核能谱测量的关键部件, 半个世纪来一直以模拟处理核脉冲并对幅度进行采样保持和 AD 转换为特点^[1]。

近年来发展的数字多道以数字技术对核脉冲进行信号处理和幅度提取为主要特点。数字化多道可直接对探测器信号进行连续 AD 采样和数字处理, 从而获得幅度信息, 具有更强的滤波成形能力, 硬件软件化后更加稳定、可靠, 系统更加灵活性^[2]。

数字化多道系统的能谱数据采集可通过 DSP 器件编程实现, 系统灵活, 适合于完成复杂的算法。而 FPGA 硬件结构则可提高信号通过率, 但灵活性较差, 增加了开发难度。还可通过 FPGA+DSP 的混合系统兼顾通过率和灵活性, 或部分模拟处理+DSP 处理以减少 DSP 负担并提高系统通过率, 但这些替代方案都以系统的复杂度的增加为代价^[1]。

本文采用基于 DSP 的数字软件实现能谱采集。

通过 CPLD+双 FIFO 缓存方案, 在尽可能减小系统复杂度及开发难度的前提下, 减少了 DSP 运算负荷, 保持了 DSP 方案良好的灵活性, 提高了基于 DSP 的数字多道系统通过率。

1 系统概述

为减少 DSP 运算时间、提高脉冲通过率, 应采用阈值甄别电路以保证仅处理有效脉冲信号。但滤波成形算法要求保留脉冲的上升沿及基线信息; 近年来广受关注的 CdZnTe 等室温半导体探测器, 则更需通过上升时间信息进行幅度校正。为此, 本文采用一种新型的双 FIFO 结构, 成功地解决了以上问题。阈值甄别在数字域中实现, 比模拟电路更加准确可靠。

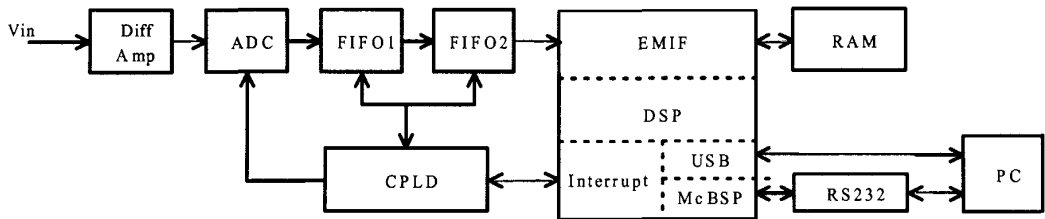


图 1 数字多道系统框图
Fig.1 Block diagram of a digital MCA system

数字多道系统如图 1 所示。探测器输出单端信号 V_{in} 经过差分放大器转为差分信号并进入 ADC 连续采样。经过 AD 转换后的信号进入 FIFO1, 延迟一定的周期输出。CPLD 对未延迟的输入信号进

行阈值甄别, 可将带有上升沿及基线信息的延迟输出脉冲信号输入 FIFO2 中缓存, 当 FIFO2 半满后, 中断通知 DSP 读取脉冲数据。DSP 通过 EMIF 接口读取数据, 处理后通过串口或 USB 接口将能谱数据

传送给主机。在整个信号流程中，CPLD 负责信号进入 DSP 前的时序逻辑控制。

2 硬件电路

2.1 ADC 接口

AD9244 是 ANALOG DEVICE 公司生产的 14 位高速高精度 AD 转换器，输入带宽 750MHz，最高允许采样速率达 65MHz，可专用于峰峰值<2V 的小信号转换。为提高系统性能，其输入信号和时钟信号采用差分输入，差分信号由 AD8138 将输入的单端核信号转换而来，而时钟信号由 MC100EL16 提供。推荐连线参见 AD9244 技术文档^[3]。

为保证转换精度，AD9244 必须连续采样。因此阈值电路应当设计在 ADC 之后。为减少 DSP 的读取开销，ADC 转换后的有效数据应当先在 FIFO 中缓存，存够一定的数据后再进行 DSP 读写。

2.2 双 FIFO 结构

为提高数字多道系统的通过率，当采用阈值电路，以保证 DSP 仅处理有效脉冲数据。为克服传统的阈值电路无法获取脉冲上升沿和基线信息的缺陷，本文采用双 FIFO 结构。FIFO 器件采用 TI(Texas Instruments)公司的 SN74V245。其数据宽度为 18-bit，深度为 4096。读写速度可达 133MHz。

双 FIFO 结构信号流程图如图 2 所示。FIFO1 起延迟作用，FIFO2 则缓冲有效脉冲数据。当连续的核信号 V_{in} 经过 AD 转换成离散信号(FIFO1 input)后输入 FIFO1，再经 N 个时间单元延迟输出(FIFO1 output)。而 AD 转换后的信号(FIFO1 input)同时输

入 CPLD 进行阈值甄别。为增强噪声免疫性，设计使用上下阈值甄别，使阈值甄别信号(Trigger)触发一个单稳态信号(Monostability)。在单稳态输出有效期内 FIFO1 输出将被 FIFO2 记录(FIFO2 input)。单稳态信号的持续周期 M 决定了每个脉冲被记录的采样点个数。由图可见，FIFO2 记录的脉冲数据包含了上升沿及基线信息。

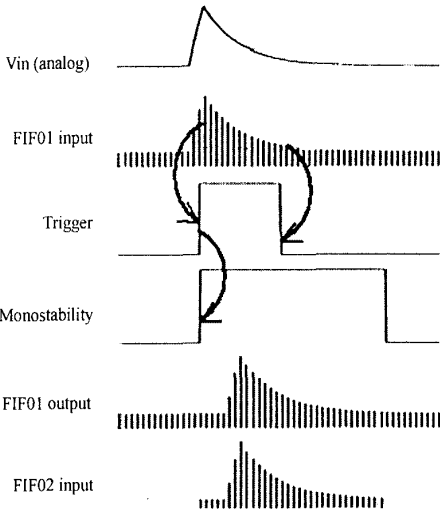


图 2 双 FIFO 结构信号流程
Fig.2 The signal flow of a twin-FIFO architecture

双 FIFO 控制结构连线如图 3 所示，其中 FIFO1 写允许信号#WEN 由 CPLD 提供。当 FIFO1 存储了 N 个采样点信号后，#PAE 升高，驱动#REN、#OE 信号使 FIFO1 的 Q1 到 Q15 输出使能，即 FIFO1 输出 Q 比输入 D 延迟 N 个周期，从而达到了延迟作

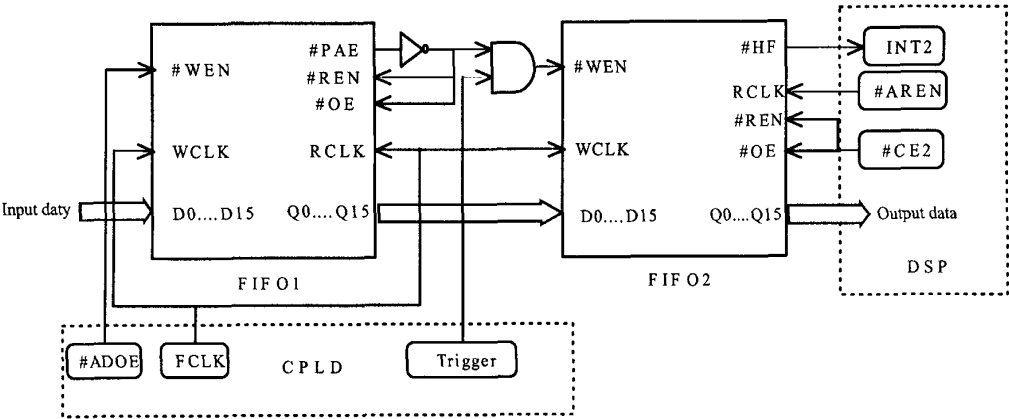


图 3 双 FIFO 控制结构示意图
Fig.3 The control schematic diagram of a twin-FIFO architecture

用。FIFO2 写允许信号#WEN 由 CPLD 提供 (Trigger), 仅在有效脉冲信号时有效。FIFO2 起缓存作用, 当缓存了 2048 个采样点后, FIFO2 半满状态信号#HF 驱动 DSP 的 INT2 中断管脚, 通知 DSP 读取数据。DSP 通过 EMIF 接口读取数据。FIFO1 的读写时钟及 FIFO2 的写时钟 (周期 T_s) 由 CPLD 程序提供可调。通过 CPLD 程序设置 N、M、 T_s 等参数配置多道系统, 可适应不同类型的探测器输出。

双 FIFO 结构可以通过两种途径提高通过率。首先, 其构成的阈值电路使 DSP 仅处理有效的数据, 节省了 DSP 的带宽。再者, FIFO2 的脉冲缓冲能力可显著提高通过率。本文系统在采集时间为 $1.6\mu s$ (40MSPS 采样 64 点)、处理时间为 $9.5\mu s$ (见 3.1 节)、输入率为 100kcps 条件下, 缓冲一个脉冲的通过率可比不缓冲提高 41%。继续增加缓冲脉冲个数, 还可进一步提高通过率。需要指出的是, 缓冲脉冲只有在中低计数率下可有效改善通过率, 当通过率与后续 DSP 处理能力相当时, 通过率将不再改善^[4]。

2.3 DSP 处理器及主机接口设计

系统采用的 DSP 芯片为 TMS320VC5509A(TI 公司), 它功耗低、运算能力强, 可在 100mW 功耗下达到 400MIPS 运算速度。片上的 32K 字 DARAM 及 64K 字的 SARAM 是同类产品中最多的, 大大减少了对外部存储器的依赖, 提高了运算速度。EMIF

接口可与 FIFO 器件无缝连接, 片上集成的一个 USB1.1 Slave 端口可方便地实现 USB 通讯。McBSP 接口经 MAX3111E 芯片转换后, 可接 PC 机串口^[5]。

3 软件设计

本文的系统软件设计包括两部分: DSP 软件与主机软件。主机软件又包括应用程序和设备驱动程序两个部分。

3.1 DSP 软件

DSP 软件是在 TI 公司的集成开发环境 CCS 下利用其提供的 DSP/BIOS 操作系统开发的。DSP/BIOS 本身仅占用很少的 CPU 资源, 提供了底层的应用程序接口, 可用于实时分析、线程管理、调度软件中断、外部中断以及各种外设的管理。CCS 工具提供了多种分析和评估工具, 可有效进行代码调试及优化。

DSP 软件可工作在两种模式下: 在线模式或离线模式。在线模式下, DSP 对脉冲信号进行实时处理, 只将最后的能谱数据传至上位机中。在线模式有很高的通过率, 适合与于现场测量等场合。离线模式下, DSP 不对原始脉冲信号进行任何处理, 直接将其传至上位机, 以用于进一步的算法研究, 主要用于前期开发。

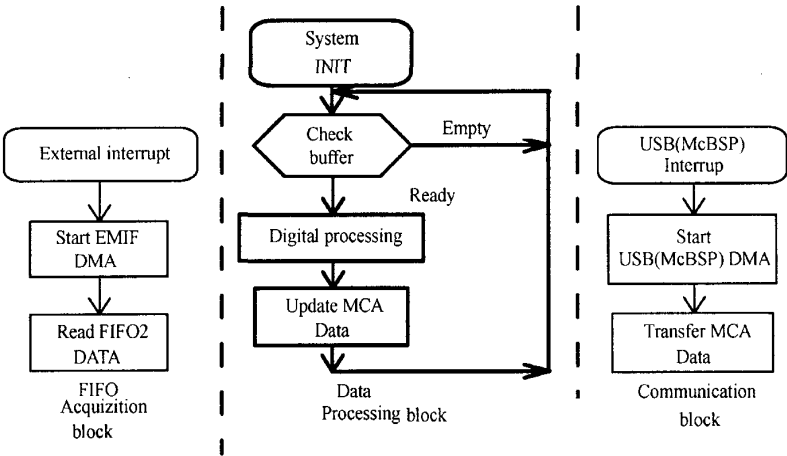


图 4 DSP 软件模块图
Fig.4 Block diagram of DSP software

DSP 软件模块如图 4 所示。从左至右分别为 FIFO 读取模块、脉冲处理算法模块、USB (或串口) 通讯模块。读取 FIFO 模块及 USB、串口通讯模块均通过中断启动 DMA, 通过 DMA 完成脉冲数据读

取及数据传输, 不占用 DSP 带宽。脉冲处理算法模块中, DSP 不断查询内存模块 BUFFER, 一旦发现 BUFFER 中有数据, 将应用脉冲处理算法更新能谱数据。为减少系统的死时间, 采用双缓存技术。

脉冲处理算法模块主要对核信号完成数字滤波成形和幅度准确提取等功能^[2]。数字滤波成形算法采用梯形成形技术将指数衰减信号成形为等腰梯形脉冲。成形后的脉冲上升沿宽度 n_a 和平顶宽度 $n_b - n_a$ 可单独调节。梯形成形算法可等效为低通滤波器, 其幅频响应的主瓣宽度与 n_a 相关, n_a 越大则主瓣宽度越窄, 对高频噪声的抑制越好。当平顶宽度 $n_b - n_a$ 大于探测器电荷收集时间时, 梯形成形算法可消除弹道亏损。相反, $n_a + n_b$ 越小则堆积概率越小, 继而通过率越高。即 n_a 、 n_b 大时可提高信噪比并消除弹道亏损, 但将降低通过率。应根据实际应用选取合适的 n_a 、 n_b 值。^[6]幅度提取算法通过对梯形平顶若干采样点的平均可以进一步提高系统的线性, 同时应用基线估计、极零点估计补偿等算法以提高提取精度降低堆积概率。算法量与选取参数有关: 在一个脉冲采集 512 个采样点、 $n_a=30$ 、 $n_b=70$ 的时候, 处理单个脉冲的时间为 $141\mu\text{s}$, 可分析脉冲极限为 7.1kcps 。采样点为 64、 $n_a=5$ 、 $n_b=11$ 时, 处理单个脉冲时间为 $9.5\mu\text{s}$, 可分析脉冲幅度极限为 105kcps 。

3.2 主机软件

主机软件包括 USB 设备驱动程序及系统监控程序。

设备驱动程序(负责应用程序与 USB 接口连接)采用 Compuware 公司的 Driver Studio 编写。Driver Studio 是一种开发、调试与测试 Windows 驱动程序的工具包。USB1.1 协议规范包括控制、中断、批量、等时等 4 种传输方式。其中控制传输是必需的。批量传输(Bulk)适合于传输大块数据、具备纠错特性。本系统在实现了必需的控制传输的前提下, 实现了设备起停、配置等用户自定义请求, 并利用批量传输进行数据传输。USB 传输速度可达到批量传输的理论速度 1.1MB/s 。

系统监控程序采用 Visual C++ 编写, 包括参数设置、采集控制、能谱显示、数据存取、接口通讯(USB、串口)等模块, 本文不再赘述。经测试, 采用 CSerial 类编写的串口通讯速度可达 PC 机串口的理论速度 14KB/s 。

4 结论

本文采用数字化多道的概念, 设计了基于 DSP

的数字多道软硬件系统。利用双 FIFO 结构提高了系统脉冲通过率, 完整获得了核脉冲前沿及基线信息, 在 DSP 上实现了数据采集、算法处理及数据传输, 进而在 PC 机上完成了系统监控。除此之外, 此系统还与本文未讨论的基于串口的 PDA 监控软件进行了成功调试。系统采用了 eV 公司的 SPERE 型 CdZnTe 探测器进行了实际 ^{137}Cs 、 ^{241}Am 等放射源的 γ 能谱测量, 分辨率均达 eV 公司给出的探测器性能指标。图 5 为其 ^{137}Cs γ 能谱。进一步的指标测试将在下面的工作中完成。

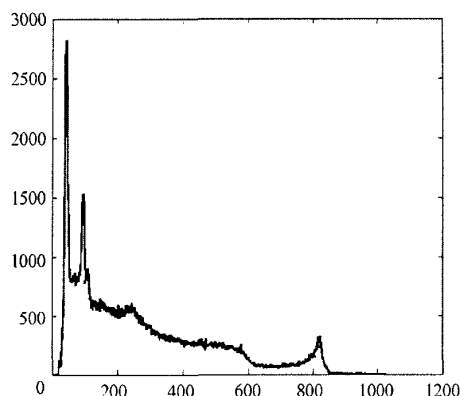


图 5 数字多道测量 ^{137}Cs γ 能谱图
Fig.5 Energy spectra of ^{137}Cs γ -rays measured by the MCA

参考文献

- 1 Simões J B, Correia C M B A. Nucl Instr Meth in Phys Res, 1999, **A422**: 405-410
- 2 肖无云, 魏义祥, 艾宪芸, 等. 核技术, 2005, **28**(10): 787-790
XIAO Wuyun, WEI Yixiang, AI Xianyun, et al. Nucl Tech, 2005, **28**(10): 787-790
- 3 14-Bit, 40 MSPS/65 MSPS A/D Converter AD9244. http://www.analog.com/UploadedFiles/Data_Sheets/AD9244.pdf
- 4 Cardoso J M, Simões J B, Correia C M B A. Nucl Instr Meth in Phys Res, 2004, **A522**: 487-494
- 5 薛志宏, 刘建业. 电子技术应用, 2003, **29**(05): 78-80
XUE Zhihong, LIU Jianye. Application of Electronic Technique, 2003, **29**(05): 78-80
- 6 肖无云, 魏义祥, 艾宪芸. 清华大学学报(自然科学版), 2005, **45**(6): 810-812
XIAO Wuyun, WEI Yixiang, AI Xianyun. J Tsinghua Univ (Sci & Tech), 2005, **45**(6): 810-812

Design of digital multi-channel pulse height analyzer

AO Qi WEI Yixiang WEN Xiangyang

(*Department of Engineering Physics, Tsinghua University, Beijing 100084*)

Abstract A new kind of DSP based digital multi-channel analyzer has been developed at Tsinghua University. By introducing a twin-FIFO structure in the hardware design, information of both rising edge and baseline level of digital signals can be obtained, the DSP bandwidth can be saved and the system throughput can be improved. The MCA system performs digital processing of nuclear signals in a DSP processor, and accomplishes the system monitoring and spectrum data transfer through USB (or serial) port. Energy spectra of ^{137}Cs γ -rays, measured by the MCA system with an SPEAR CdZnTe detector provided by eV Corp. were given as an example.

Key words Digital multi-channel analyzer, Spectrum acquisition, Threshold discrimination, DSP, Nuclear signal processing

CLC TL822⁺.4, TL817⁺.2