

高精度数据驱动型 TDC 在高能物理实验中应用的研究

刘树彬 郭建华 张艳丽 赵 龙 安 琪

(中国科学技术大学近代物理系快电子学实验室 合肥 230026)

摘要 目前国际国内高能物理方面时间数字转换的发展趋势是使用集成的、高精度、多次击中型 TDC, 数据驱动型 TDC (Data Driven TDC) 是其中的热点。研究高性能 TDC 的具体指标以及改进的方法对高能物理实验中的应用具有指导作用。我们对北京谱仪 (BES III) 中考虑使用的一种新型高精度 TDC 进行了测量研究。本文介绍了我们为此建立的测量平台, 和对该 TDC 进行非线性、分辨率、双脉冲分辨等测量的手段和结果, 探讨了对其进行甚高精度 (24.4 ps) 修正的方法, 给出了修正的效果。

关键词 HPTDC, 时间分辨率, 码密度测量, 非线性, 线延迟测量, 修正
中图分类号 TN0

飞行时间 (Time of Flight, TOF) 测量是当前高能物理实验中带电粒子鉴别的一个基本测量手段, 提高飞行时间测量的精度一直是国内、外高能物理界研究人员不懈追求的目标。随着物理实验能量的提高, 要求时间数字变换的分辨率大大提高。例如, 目前正在升级中的北京正负电子对撞机 (BEPC II) 和北京谱仪 (BES III) 设计在 τ -粲能区, 物理目标是实现弱电相互作用研究、强相互作用研究以及新物理的寻找等。为实现 K/π 粒子的分辨, 对桶部 TOF 探测系统的时间分辨率要求为均方根值 (RMS) = 90 ps, 考虑到 TOF 本征时间分辨、束团时间的不确定性、束团长度形成的对撞时刻的不确定性、粒子击中闪烁体的 Z 向定位的不确定性、预期飞行时间不确定性以及电子学阈值效应的时间修正过程等误差, 要求 TOF 电子学时间测量的分辨率应好于 25 ps^[1]。而且随着加速器束流亮度的提高, 以及提高探测效率的需要, 要求死时间也尽可能小, 例如 BES III 的事例率在每通道 4 K/s 左右。同时, 为减小体积与功耗, 希望尽可能采用温度稳定和长时间工作稳定的集成电路。原有的时间测量方法已经越来越不能满足高能物理研究的发展需要了: 或者因为时间分辨率低 (如普通计数式 TDC); 或者因死时间大 (如游标尺型 TDC、时间扩展内插 TDC); 或者因稳定性差 (如时幅变换 TDC)^[2]; 或者因集成度低 (如时幅变换 TDC) 等。高能物理实验中, 通常是一次对撞产生多个击中事例, 数据

采集时通常把对撞时刻作为起始信号, 而产生的次级粒子击中在探测器上的时刻作为停止信号。也就是说, 高能物理实验中的起始—停止信号不是一一对应, 因此, 传统的起始—停止型 TDC 使用并不方便。目前集成 TDC 设计的重点是时间标志型 (Time Stamp) TDC, 由 TDC 的各通道记录击中事例的时间, 而对撞点时间则由其它物理途径推导出来。时间标志型 TDC 一般有两种结构形式: 流水线型 (Pipeline TDC) 或数据驱动型 (Data Driven TDC)^[3]。流水线型 TDC 结构简单, 但每个时钟周期都存储一个数据, 无论是否有事例击中信号 (hit)。因缓存大小限制, 触发延迟时间受到限制, 而且不适用于无触发判选信号的系统中。数据驱动型 TDC 只在有一个击中事例时才会在缓存中有记录, 触发延迟时间范围大, 无论有无触发判选信号的系统都适用^[3,4]。CERN 微电子组最近研制的高性能时间测量芯片 (High Performance TDC, 简称 HPTDC) 就是这种类型的 TDC, 为满足 BES III 的实验需求, TOF 电子学中准备采用 HPTDC 进行时间测量。

1 HPTDC 简介

HPTDC 是 0.25 μm 的 CMOS 工艺制造的 32 通道数据驱动型 TDC 芯片。其设计目标是实现具有多次击中能力的高精度时间数字变换。它使用外部 40 MHz 时钟, 利用芯片内部的 PLL (Phase Locked

第一作者: 刘树彬, 男, 1975 年出生, 2002 年 6 月于中国科学技术大学获博士学位, 现为中国科学技术大学讲师, 物理电子学专业, 主要从事高速数据的采集、传输、处理研究

收稿日期: 2004-12-02, 修回日期: 2005-01-14

Loop, 锁相环) 把时钟倍频对计数器计数, 同时利用 DLL (Delay Locked Loop) 时间内插 (Interpolation) 技术, 可以实现低精度 (781ps)、中精度 (195ps)、高精度 (97.7ps) 的时间数字变换。再利用可调的 RC 延时时内插手段实现 LSB 为 24.4 ps 的 8 通道甚高精度时间数字变换, 其动态范围达 21 bit。而且 RC 延时受温度变化影响小。由于采用了数据驱动型结构, 其双脉冲分辨 (Double Pulse Resolution) 非常小, 能保证不大于 10 ns, 因此最大击中的事例率可达每通道 2 MHz—8 MHz 的速率 (根据使用通道数和内核频率不同) ^[5]。

HPTDC 输入/输出信号为 LVDS 或 LVTTL 电平, 可同时测量信号的上升/下降沿时刻, 须利用 JTAG 方式配置。除了 BES III 考虑采用 HPTDC 以外, CERN 的 ALICE 实验^[6]、BNL 的 RICH (STAR) 实验^[7]等也准备在其 TOF 电子学上使用 HPTDC 进行时间测量。

但是, 由于高速数字部分对模拟部分的串扰, HPTDC 实际测量精度不能直接满足实验要求。尤其在甚高精度 (24.4 ps) 模式下, 实际分辨率为 $\text{RMS}=58 \text{ ps}^{[5]}$ 。为了确定 HPTDC 能否满足 BES III 中的测量需要, 我们需要对其进行测试, 并探索达到 24.4 ps 分辨率的方法。

2 测试系统的建立

为了能够测试 HPTDC 在各种精度模式下的非线性和最高分辨率,我们建立了一套基于 VME 总线的测试系统。主要包括一个 HPTDC 试验测试板^[8]、一个高精度信号发生器^[9]、一个 JTAG 控制器、软件^[10]以及相应的数据处理软件。

HPTDC 实验测试板如图 1 所示。待测芯片是最新版本 (Ver1.3) 的 HPTDC, 它测量 hit 信号的前沿时刻; 由一片 Altera 公司的 FPGA 控制, 包括以令牌环方式从 HPTDC 读出数据、缓存并与 VME 总线接口等功能; 同时为了测试时间放大以获得更高的时间分辨率, 在试验板上留了时间放大电路板和集成时间放大电路芯片的位置; 为能提供多样的时钟选择测试, 选择了 Micrel 公司的 SY89828LHI 芯片, 可以选择 LVDS/LVPECL/LVTTL 的时钟分别送给各部分。整个电路板的设计过程中充分考虑了各信号尤其是时钟信号和 hit 信号的信号完整性, 而且利用电路仿真软件进行了详细的仿真和修改 [8], 以尽量减少电路带来的测量误差。

高精度信号发生器也是一个基于 VME 总线的电路板，它能够提
供高精度、低抖动的时钟信号和 hit 信号以及触发、复位等辅助信号。为了测试

HPTDC 的分辨率, 该电路板要求能够提供可控延时的双 hit 脉冲^[9]。

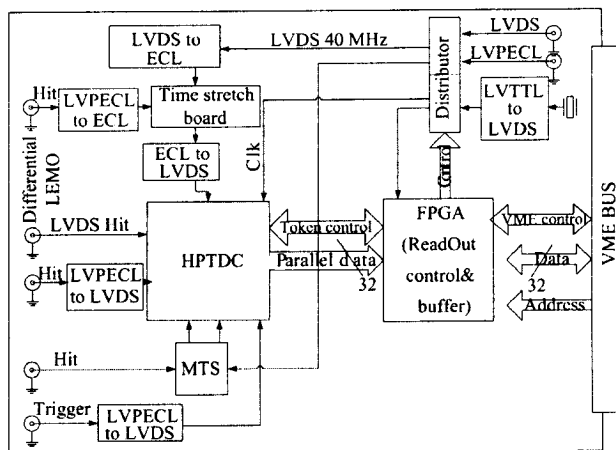


图 1 HPTDC 试验板框图

Fig.1 Block diagram of HPTDC test board

HPTDC 的初始化需要配置 646 个内部寄存位, 而且配置和状态检查只能通过 JTAG 方式实现, 因此我们专门设计了基于计算机并口的 JTAG 控制器和相应软件^[10]。

通过 VME 获得测试数据后,用 MATLAB 软件编程对数据进行分析。

3 测试项目及结果

HPTDC 在 BES III 的 TOF 电子学中的应用是甚高精度 (24.4 ps) 模式。因此, 我们的测试重点是 HPTDC 在甚高精度模式下的非线性、时间分辨率以及它的双脉冲分辨。

3.1 非线性测试

HPTDC 的非线性指标,包括微分非线性(DNL)和积分非线性(INL)。传统起始—停止型 TDC 的非线性测量,是通过高精度信号发生器产生远远好于 TDC 测量精度的脉冲信号,来观察 TDC 测量值与实际时间的偏差。HPTDC 动态范围非常大($52\text{ }\mu\text{s}$),如果直接测量工作量将非常庞大,是不现实的。我们利用 ADC 测试中标准的码密度测试(Code Density Test, CDT)方法^[11,12]进行测量:产生足够多的,在测量动态范围内平均分布的随机信号送给 TDC 作为 hit 信号,并把读出的数据做直方图统计,该直方图的 bin 对应于 TDC 的 LSB,那么每个 bin 中统计的数目应正比于 TDC 实际的 bin 宽度。从统计数据中我们可以得出 DNL 和 INL。

CDT 需要的随机 hit 信号不容易得到，我们以高精度信号发生器的时钟为同步产生 hit 信号，而

HPTDC 的时钟则用板上的独立晶振作为时钟源,让高精度信号发生器的时钟与 HPTDC 板晶振不相关,例如前者为 41 MHz,后者为 40 MHz,而且两者不同步,这样 hit 信号近似为 CDT 需要的随机信号。

由测试结果看来,HPTDC 的非线性(DNL 和 INL)呈现以 25 ns 为周期循环的态势,恰好对应于其逻辑时钟的周期:图 2 是测试了 2048 个 bin 的非线性(DNL 和 INL),可见其以 1024 个 bin 为周期循环(每 bin 对应 24.4 ps, $25 \text{ ns}/24.4 \text{ ps}=1024$)。这种特点使得我们可以只测量 HPTDC 低 10 位的非线性,从而可以大大减少进行码密度测试时需要的获取的样本数。后面将介绍,这种特点同样也给我们进行非线性的修正带来了方便。

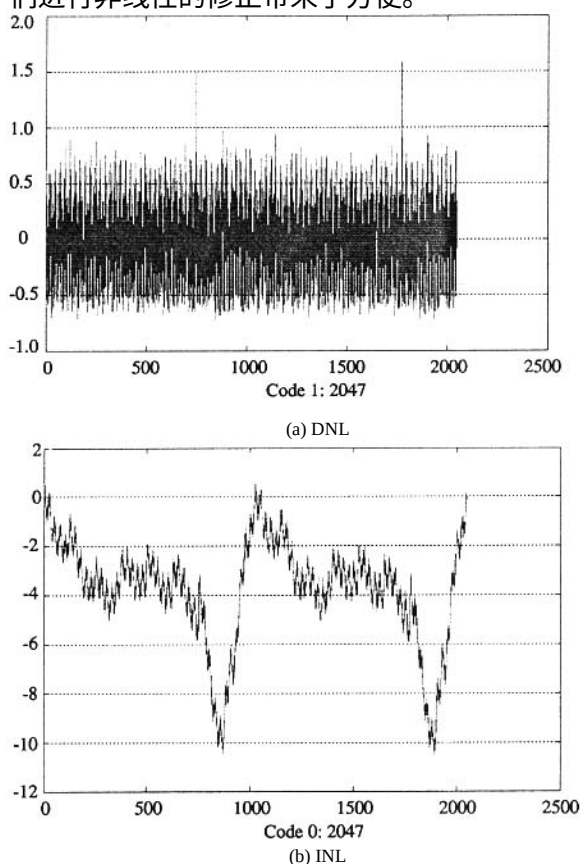


图 2 HPTDC 甚高精度模式下的 DNL 和 INL

Fig.2 DNL and INL in HPTDC's very high resolution mode

由图 2 可见:HPTDC 在甚高精度模式下最差 DNL 高达 2LSB, INL 高达 10LSB,非线性指标比较差。尤其在图中的后半部分,DNL 和 INL 都有非常大的突起,经过分析,这是由于 TDC 码宽的不均匀性造成的,这种不均匀性的累计造成了比较大的 INL,尤其是甚高精度下如此大的 INL,必然会对 HPTDC 的分辨率造成坏的影响,因此如果我们能够针对此进行修正,必然会对其分辨率有所提高,

本文第 4 部分对此做了研究。

3.2 时间分辨率测试

对 HPTDC 这种时间标志(Time stamp)型 TDC 与普通起始-停止型 TDC 的时间分辨率测试手段^[2]略有不同,是通过线延迟测试(Cable Delay Measurement Test)方法测量的^[5]:把随机产生的 hit 信号用功率分配器分开后,一路直接送到一个 HPTDC 通道;而另外一路通过一个电缆延迟后送到另外一个通道。两个通道测量差值的均方根值(RMS)可以代表该 TDC 的时间分辨率。当然,因为这是对两个通道 hit 测量值之差的统计,因此,应该是以这个 RMS 值的 $1/\sqrt{2}$ 表示这两个通道时间分辨率的平均值。图 3 (a) 是我们用一条延时约为 8 ns 的电缆对 HPTDC 测试板做的线延迟测试。由图 3 可见,HPTDC 的分辨率约在 $81.7 \text{ ps}/1.414=57.8 \text{ ps}$ 。

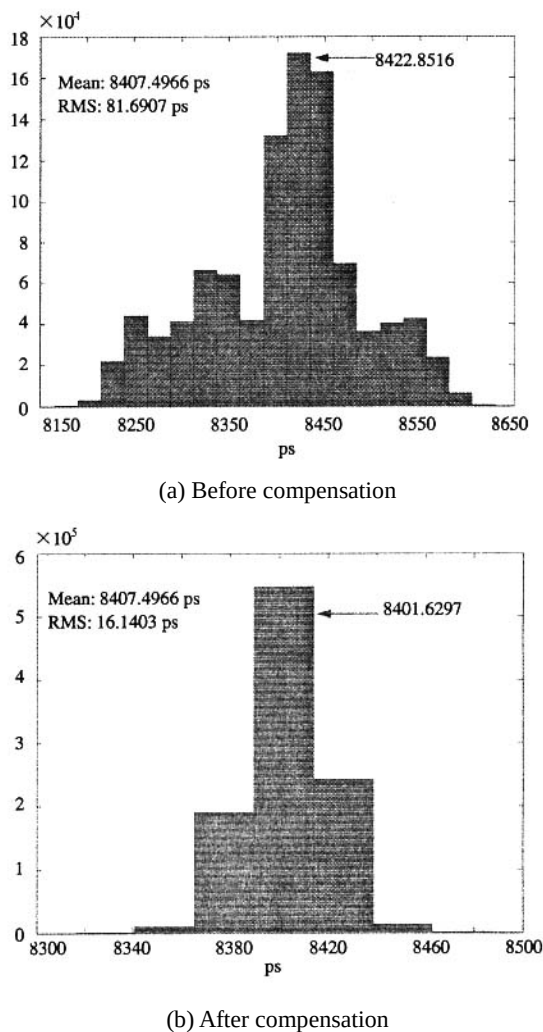


图 3 HPTDC 的线延迟测试

Fig.3 The cable delay test for HPTDC

当电缆延迟为 25 ns 或者它的倍数的情况下，线延迟测试会给出非常好的结果，不能完全表明 HPTDC 的实际分辨率^[5] (由表 1 也可以看出这点)。因此我们应使用多条不同延迟的电缆来进行这种测试。我们使用测试系统中的高精度信号发生器^[9] 产生两个固定延时 hit 信号送给 HPTDC，而且精确控制这两个 hit 信号的延迟时间扫描一段时间范围，把所有延迟情况下 HPTDC 测得的 RMS 值统计表 1 中第 2、5 列所示。

表 1 HPTDC 时间分辨率测试结果表

Table 1 The test result of HPTDC's resolution

信号间隔 Interval /ns	修正前误差 /ps RMS before compensation	修正后误差 /ps RMS after compensation
19.5067	61.6	12.7
20.5766	58.9	14.1
21.5269	54.0	14.8
22.5685	44.4	13.1
23.5140	31.5	15.1
24.5921	16.0	14.9
25.3769	16.5	15.4
26.3548	29.7	14.1
27.3751	44.8	13.4
28.3436	53.3	15.6
29.4250	59.6	14.5
30.1865	62.1	15.7
31.1827	60.8	14.2
32.1940	60.6	14.6
33.1586	60.2	15.8
34.2258	55.8	14.4
35.0129	56.0	16.4
36.0258	56.8	15.6
37.0416	54.5	16.8
38.1262	55.8	17.3
39.1096	57.5	16.0
39.8768	57.5	18.3
40.8481	60.0	16.4
41.8512	62.5	17.7
42.9394	64.7	18.1
...	...	...

从该表 1 可见，除了在延迟为 25 ns 左右时的情况比较好外，在甚高精度情况下，HPTDC 的时间分辨 RMS 值最大达到 62 ps 左右，远大于其 24.4 ps 的 LSB。这不能满足 BES III 等最新高能物理实验的 TOF 电子学需求，本文将在下面介绍通过非线性修正获得好的分辨率。

3.3 双脉冲分辨 (Double Pulse Resolution) 测试

通过逐步减小高精度信号发生器输出双脉冲的时间间隔 (单通道)，测试结果标明大于 5.5648 ns

的两个 hit 信号 HPTDC 都能够区分。可见 HPTDC 能够达到很好的双脉冲分辨时间，有利于提高探测效率。

4 甚高精度的结果修正 (Compensation)

在 3.2 中我们看到，HPTDC 在 24.4 ps 的模式下，时间分辨率 RMS 高达 62 ps 多，不能满足 TOF 电子学的要求，这是由于 3.1 中所示的，码宽不均匀造成的非线性的原因。考虑到 ADC/TDC 的积分非线性定义， $INL=t_{TDC}-t_{ACTUAL}^{[12]}$ ，假如我们已知 HPTDC 在整个动态范围上每个码的积分非线性，那么由 $t_{ACTUAL}=t_{TDC}-INL$ 就可以得到实际的击中时间，这是提高 ADC 精度的传统手段^[13]，在时间测量方面可以借鉴这种方法。但相对于 AD 变换，时间测量的动态范围通常比较大，使得测量 TDC 的 INL 非常困难 (根据概率统计原理，用码密度法测量将需要大量随机样本数；而如用传统直接测量法则需要非常高时间精度的脉冲发生器)。而且整个动态范围区间的 INL 值数据量庞大 ($2n$ 个， n 为 TDC 的位数)，很难实时实现修正。HPTDC 的积分非线性测量方法和结果在 3.1 已经给出，我们研究发现：HPTDC 的非线性呈现以 25 ns 为周期循环的态势。因此，我们提出：只需要用码密度方法测量 HPTDC 低 10 位的 INL 值，列于 1024 行的查找表中，只对数据的最低 10 位进行修正即可，这样将大大节约程序占用数据处理计算机的内存和运行时间，甚至可以直接在硬件电路中实现。我们用这种方法对线延迟测试结果图 (a) 的数据进行修正，得到结果如图 (b)，可见 RMS 值由 57.8 ps 减少到了 16.1 ps/1.414=11.4 ps。同样，对表 1 中第 2、5 列的数据修正见第 3、6 列，从中可见，修正后的 RMS 结果最大也只有 18.3 ps，已经小于 24.4 ps 的 LSB，满足了甚高精度测量的需要。可以应用于 BES III 以及 ALICE、STAR 等新高能物理实验的 TOF 电子学需求。

5 结论

通过对数据驱动型的 TDC——HPTDC 的测量和研究，建立一套测量系统，我们给出了其非线性、时间分辨率、双脉冲分辨等指标，在时间分辨率不能达到需求的情况下，我们探讨了通过修正获得高时间分辨率的方法，达到了 BES III 等高能物理实验需求。目前修正是在数据获取到计算机后由程序完成的。鉴于 HPTDC 非线性的周期特征，我们也已设计了用硬件实现查找表修正的系统，可在线实

现获取高分辨率时间测量, 将极大减轻后处理的压力。

参考文献

- 1 Institute of High Energy Physics, the Chinese Academy of Sciences, BEPC II (ed. 1), 2001. 3: 69—77
- 2 王芝英, 楼滨乔, 朱俊杰, 等. 核电子技术原理. 北京: 原子能出版社, 1989. 230—244
WANG Zhiying, LOU Binqiao, ZHU Junjie, *et al.* Nuclear Electronics Techniques. Beijing: Atomic Energy Press, 1989. 230—244
- 3 Christiansen J, Marchioro A, Moreira P, *et al.* A data driven high resolution Time to Digital Converter, Proceedings of the 6th Workshop on Electronics for LHC Experiments, Krakow, Poland, 2000
- 4 Christiansen J. HPTDC chip and its current status, http://micdigital.web.cern.ch/micdigital/hptdc/hptdc_workshop.asp, 2003
- 5 Christiansen J. High Performance Time to Digital Converter (Version2.1), <http://micdigital.web.cern.ch/micdigital/hptdc.htm>, CERN/EP-MIC, 2002. 1—67
- 6 CERN /LHCC 2002—016, ALICE Addendum to the Technical Design Report of the Time of Flight System (TOF), ISBN 92-9083-192-8. 2002. 61—70
- 7 Schambach J, the STAR Collaboration TOF Group. Proposed STAR Time of Flight Readout Electronics and DAQ, Computing in High Energy and Nuclear Physics, LaJolla, California, 2003
- 8 刘树彬. Design of HPTDC Evaluation Board for TOF, <http://bes.ihep.ac.cn/besIII/detector/TOF/index.html>, BES III 电子学工作会议, 2003
LIU Shubin. Design of HPTDC Evaluation Board for TOF, <http://bes.ihep.ac.cn/besIII/detector/TOF/index.html>, BES III Workshop in Electronics, 2003
- 9 张艳丽, 安琪, 刘树彬, 等. 核技术, 2004, 27 (9): 705—709
ZHANG Yanli, AN Qi, LIU Shubin, *et al.* Nucl Tech, 2004, 27(9): 705—709
- 10 赵龙, 安琪, 刘树彬, 等. 核电子学与探测技术, 2004, 24 (6), 685—688
ZHAO Long, AN Qi, LIU Shubin, *et al.* Nucl Electron Detect Technol, 2004, 24(6): 685—688
- 11 Doernberg J, Student Member. IEEE J Solid-State Circuits, 1984, 19(6): 820—827
- 12 Mota M. Design and Characterization of CMOS High-Resolution Time-to-Digital Converters, the Technical University of Lisbon, Portugal, 2000. 17—25
- 13 Mantyniemi A, Rahkonen T, Kostamovaara J. A nonlinearity-corrected CMOS time digitizer IC with 20 ps single-shot precision, IEEE International Symposium on Circuits and Systems, Scottsdale, Arizona, USA, 2002. 1: 513—516

The test of data driven TDC application in high energy physics experiment

LIU Shubin GUO Jianhua ZHANG Yanli ZHAO Long AN Qi

(Fast Electronics Lab of Modern Physics Department of USTC, Hefei 230026)

Abstract In the high energy physics domain there is a trend to use integrated, high resolution, multi-hit time-digital-converter for time measurement, of which the data driven TDC is an important direction. Study on the method of how to test high performance TDC's characters and how to improve these characters will help us to select the proper TDC. We have studied the testing of a new high resolution TDC, which is planned to use in the third modification project of Beijing Spectrometer (BESIII). This paper introduces the test platform we built for the TDC, and the method by which we tested for nonlinearity, resolution, double pulse resolution characters, etc. The paper also gives the test results and introduces the compensation way to achieve a very high resolution (24.4 ps).

Key words HPTDC, Effective resolution, Code density test, Nonlinearity, Cable delay measurement test, Compensation

CLC TN0